

Docket No.: 4006-276

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Yen-Fu LIU

U.S. Patent Application No. 10/713,154

Filed: November 17, 2003

:
:
: Confirmation No. 9450
:
: Group Art Unit: 2856
:
: Examiner: Not yet assigned

For: ACCELERATED TEST METHOD AND SYSTEM

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

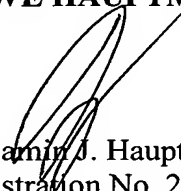
At the time the above application was filed, priority was claimed based on the following application:

Taiwanese Application No. 092116634, filed June 19, 2003.

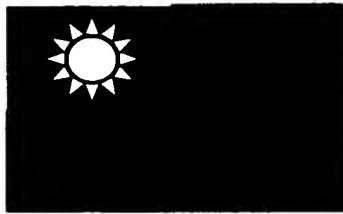
A copy of the priority application is enclosed.

Respectfully submitted,

LOWE HAUPTMAN GILMAN & BERNER, LLP


Benjamin J. Hauptman
Registration No. 29,310

1700 Diagonal Road, Suite 300
Alexandria, Virginia 22314
(703) 684-1111
(703) 518-5499 Facsimile
Date: May 19, 2004
BJH/etp



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 19 日
Application Date

申請案號：092116634
Application No.

申請人：劉儼賦
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 24 日
Issue Date

發文字號：09221191420
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※ I P C 分類：

壹、發明名稱：(中文/英文)

加速半導體產品檢測速度之方法及系統

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

劉 儼 賦

代表人：(中文/英文)

住居所或營業所地址：(中文/英文)

320 桃園縣中壢市元化路 125 巷 15-2 號

國 籍：(中文/英文)

中華民國

參、發明人：(共 1 人)

姓 名：(中文/英文)

劉 儼 賦

住居所地址：(中文/英文)

320 桃園縣中壢市元化路 125 巷 15-2 號

國 籍：(中文/英文)

中華民國

肆、聲明事項：

無

伍、中文發明摘要：

本發明係一種加速半導體產品檢測速度之方法及系統，係將一半導體待測品，如積體電路、晶片等元件於測試時所輸出之反應資料，先行以雜湊函數運算求得一資料長度極短之訊息摘要，再以該訊息摘要與一參考摘要相互比對，若兩者一致即驗證該待測品正確無瑕疵，因資料驗證比對係以訊息摘要進行，故其驗證時間將得以有效縮短。

陸、英文發明摘要：

柒、指定代表圖：

(一)本案指定代表圖為：第(一)圖。

(二)本代表圖之元件代表符號簡單說明：

(21) 測試資料

(22) 反應資料

(23) 待測訊息摘要

(24) 參考摘要

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種加速半導體產品檢測速度之方法及系統，尤指一種利用單向雜湊演算法 (One-way Hash Function) 所運算出之訊息摘要 (message digest) 供後段之資料比對使用，以加速產品檢測速度之方法。

【先前技術】

以半導體產品 (如晶圓、晶片、IC) 的測試過程而言，可謂時間即是金錢，若能有效率地降低每個待測品的測試時間，對於待測數量如此龐大的廠家而言，無疑地將會節省許多的成本支出。

請參閱第五圖所示，為習用產品測試之方法示意圖，係將測試資料輸入予一待測品 (61) 中，待測品 (61) 將會對該份測試資料作出適當地邏輯響應，並輸出一份反應資料，此份反應資料進一步傳遞予一資料驗證比對裝置 (62)，該資料驗證比對裝置 (62) 同時自一資料庫 (63) 中擷取出一份正確的反應資料，並根據此正確資料與待測品 (61) 之反應資料進行比對驗證。若待測品 (61) 內部電路一切正常，則兩份資料之比對結果應互相吻合；反之，當待測品 (61) 之內部電路有錯誤時，則呈現之反應資料便無法與資料庫 (63) 中的資料表現一致，據此便可判斷出該待測產品 (63) 是否為瑕疵品。然而此種習用測試方法，該資料驗證比對裝置 (62) 因必須接受來自待測品 (61) 與資料庫兩方面龐大的

資料量，故內部必需設有較多的記憶體，方有足夠之空間進行資料暫存，另一方面，大量的資料傳輸、比對等作業，無一不耗費極長的作業時間。

【發明內容】

鑑於前述習用方式之缺點，本發明之主要目的係提供一種加速半導體產品檢測速度之方法及系統，利用一段資料長度極短之訊息摘要代表待測品於測試時之反應資料，以作為資料驗證比對使用，藉此縮減檢測所需時間。

為達成前述目的，本發明之方法係以下述步驟進行：

輸入測試資料予該待測品；

擷取該待測品對前述測試資料進行響應之反應資料；

運算前述反應資料以獲得訊息摘要；

比對該訊息摘要是否正確無誤。

在本發明之較佳實施例中，該運算手段係使用雜湊函數運算而獲得訊息摘要，如 SHA-1 或 MD5 均是可行方式。

而實施前述方法之硬體系統，係具有：

一測試裝置，係輸出一測試資料予一待測品，令該待測品據此輸出一反應資料；

一雜湊函數運算單元，係根據前述待測品之反應資料運算求出一筆資料長度短於反應資料之訊息摘要，令前述測試裝置根據該訊息摘要驗證前述待測品。

其中，該雜湊函數運算單元係可內建於該測試裝置內或是於待測品內。

【實施方式】

本發明之加速檢測方法主要是利用到雜湊函數(One-way Hash Function)的特性而縮減比對資料量，雜湊函數之特色即在於龐大的資料經過雜湊函數運算後，便可獲得一段簡短的訊息摘要(message digest)，利用該訊息摘要供資料比對使用，係可有效降低處理時間及所須之記憶體空間。而可使用的雜湊函數在本發明中並無特殊限制，例如 SHA-1(Secure hash algorithm) 或 MD5 等均可。

請參考第一圖所示，係本發明加速半導體檢測速度方法之示意圖，一半導體待測品(如晶片)係接收測試資料(21)，並依據其自身的電路邏輯設計對該測試資料(21)作出適當響應，進而輸出一筆反應資料(22)。為驗證該待測品是否存有瑕疵，該筆反應資料(22)係必須檢驗其正確性與否，本發明並非將該筆反應資料(22)直接進行比對動作，而是先經過一道雜湊數運算的步驟後得到一段待測訊息摘要(23)。

前述之待測訊息摘要(23)係與一筆參考摘要(24)相互驗證。該筆參考摘要(24)的建立方式係詳如下述：以前述測試資料(21)輸入至一確定無誤的樣品中(與前述待測品具有相同設計)，以該樣品之反應資料經雜湊函數運算而得到正確的參考摘要(24)。因此，若待測訊息摘要(23)與參考摘要(24)比對無誤，即證明待測品正確無訛。以前述 SHA-1 為例說明，只要測試資料(21)的長度小於 2^{64} bits，係可運算建立出一段僅 160bits 之訊息摘要，由此可知待比對資料之長度係較

習用方式更來得簡短。

此外，另外一種獲得參考摘要（24）之方式係更能確保其正確性，此種方式即是利用電腦模擬。將測試資料（21）輸入至模擬該待測品的模擬電路後，即可由電腦中獲得正確的反應資料（22），再根據此反應資料（22）運算即取得參考摘要（24）。此種參考摘要（24）的產生方式因其正確率最高，故最常被加以採用。

為具體實施上述方法，本發明係提出了下列數種不同實施方式。請參閱第二圖所示，於測試裝置（11）當中係內建有一雜湊函數運算單元（12），當待測品將反應資料（22）回送至測試裝置（11）時，係由雜湊函數運算單元（12）根據反應資料（22）建立起訊息摘要並加以比對。此種架構的優點在於就測試裝置（11）而言，不需要使用數量眾多的記憶體來儲存反應資料（22），故就成本方面考量來看即可對測試廠商節省不少硬體費用。

請參考第三圖所示，為本發明之另一實施例，當待測品具有內建自我測試單元（13）（Built-in Self Test, BIST）時，係將雜湊函數運算單元（12）設置於其內部，則待測品（11）在接收測試資料（21）後，其反應資料（22）係輸出至雜湊函數運算單元（12），該雜湊函數運算單元（12）則將運算結果，即訊息摘要（23）回送給測試裝置（11），如此一來，測試裝置（11）不僅可節省記憶體使用，因訊息摘要（23）之資料

長度極為簡短，故資料傳輸時間也大幅縮減。

於第四圖所示的實施例，大抵上係與前述第三圖所示相同，其差異點在於該待測品內部係具有至少一智慧財產區塊(intellectual property block, IP BLOCK)(14)，該自我測試單元(13)及雜湊函數運算單元(12)係位於該智慧財產區塊(14)之內部。前述智慧財產區塊(intellectual property block, IP BLOCK)(14)係指該區塊本身，乃由其它公司設計製造的電路單元，故當待測品係由多家廠商的電路元件集體組成時，即具有多數智慧財產區塊(14)。

在前述各實施例中所述的雜湊函數運算單元(12)，其最佳的實施方式係採硬體電路組成，如此一來雜湊函數之運算時間將可有效縮減。

藉由以上詳細說明，可看出本發明之技術手段因將反應資料轉換為資料長度極短的訊息摘要後再加以比對，故其資料驗證時間或是測試裝置之硬體需求皆得以降低，從一方面來看，就測試廠商而言其利潤確能提昇而具備有顯著之產業利用性，且整體而言已具備有顯著的新穎性及進步性，於符合發明專利要件之下，爰依法提出申請。

【圖式簡單說明】

(一) 圖式部分

第一圖：係本發明之方法示意圖。

第二圖：係本發明之系統一實施例之示意圖。

第三圖：係本發明之系統另一實施例之示意圖。

第四圖：係本發明之系統又一實施例之示意圖。

第五圖：係習用測試系統之示意圖。

(二) 元件代表符號

(11) 測試裝置 (12) 雜湊函數運算單元

(13) 內建自我測試單元

(14) 智慧財產區塊

(21) 測試資料 (22) 反應資料

(23) 待測訊息摘要 (24) 參考摘要

(61) 待測品 (62) 資料驗證比對裝置

(63) 資料庫

拾、申請專利範圍：

1．一種加速半導體產品檢測速度之方法，係將一待測品於測試時所輸出之反應資料以一資料長度較短之訊息摘要表示，再以該訊息摘要與一參考摘要相互比對。

2．如申請專利範圍第1項所述加速半導體產品檢測速度之方法，係包含有：

輸入一段測試資料予該待測品；

擷取該待測品對前述測試資料進行響應之一段反應資料；

運算前述反應資料以獲得訊息摘要；

比對該訊息摘要是否正確無誤。

3．如申請專利範圍第1或2項所述加速半導體產品檢測速度之方法，前述訊息摘要係由單向雜湊函數(One-way hash function)運算而得。

4．如申請專利範圍第3項所述加速半導體產品檢測速度之方法，前述雜湊函數(hash function)係為SHA-1。

5．如申請專利範圍第3項所述加速半導體產品檢測速度之方法，前述雜湊函數(hash function)係為MD5。

6．如申請專利範圍第3項所述加速半導體產品檢測速度之方法，該參考摘要之建立係包含有以下步驟：

將前述測試資料輸入至一與待測品相同規格之樣品，該樣品係已確定正確無誤；

將該樣品之反應資料經過雜湊函數運算後，取得參考摘要。

7．如申請專利範圍第3項所述加速半導體產品檢測速度之方法，該參考摘要係採電腦模擬方式產生；係將測試資料輸入至模擬該待測品的模擬電路後，由電腦中獲得正確的反應資料，再根據此反應資料運算取得參考摘要。

8．一種半導體產品的檢測系統，係包含有：

一測試裝置，係輸出一測試資料予一待測品，令該待測品據此輸出一反應資料；

一運算單元，係根據前述待測品之反應資料運算求出一筆資料長度短於反應資料之訊息摘要，令前述測試裝置根據該訊息摘要驗證前述待測品。

9．如申請專利範圍第8項所述半導體產品的檢測系統，該運算單元係為一雜湊函數運算單元。

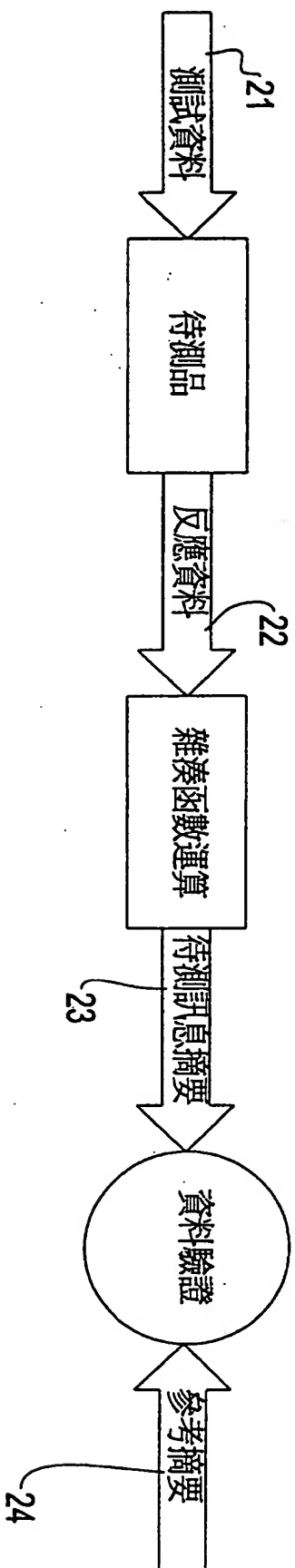
10．如申請專利範圍第9項所述半導體產品的檢測系統，該雜湊函數運算單元係內建於該測試裝置內。

11．如申請專利範圍第9項所述半導體產品的檢測系統，該雜湊函數運算單元係內建於該待測品內。

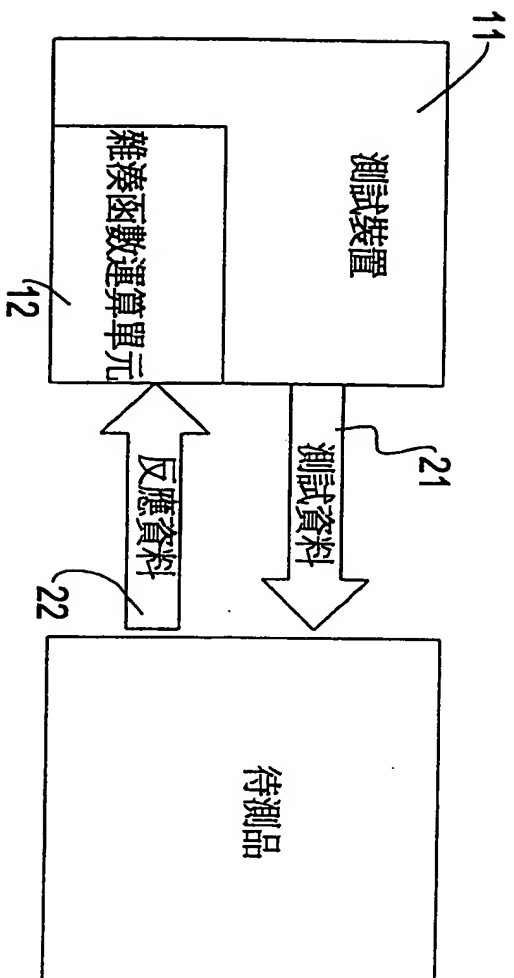
12．如申請專利範圍第9、10或11項所述半導體產品的檢測系統，該雜湊函數運算單元為一硬體電路。

拾壹、圖式：

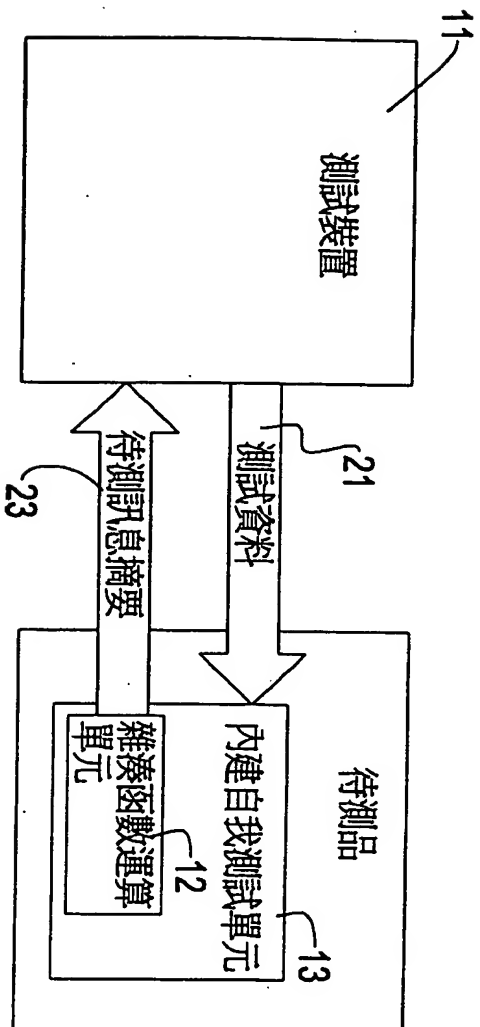
如次頁



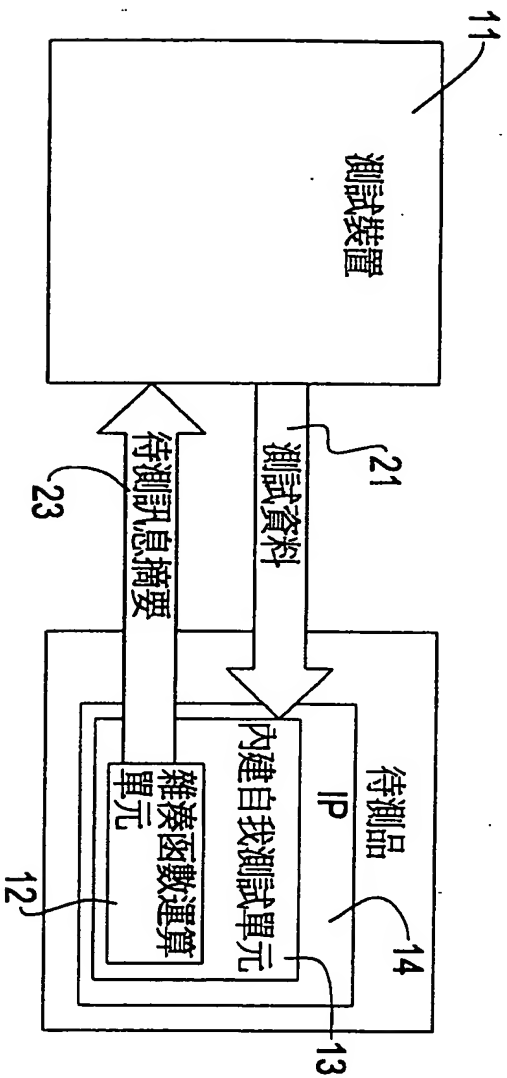
第一圖



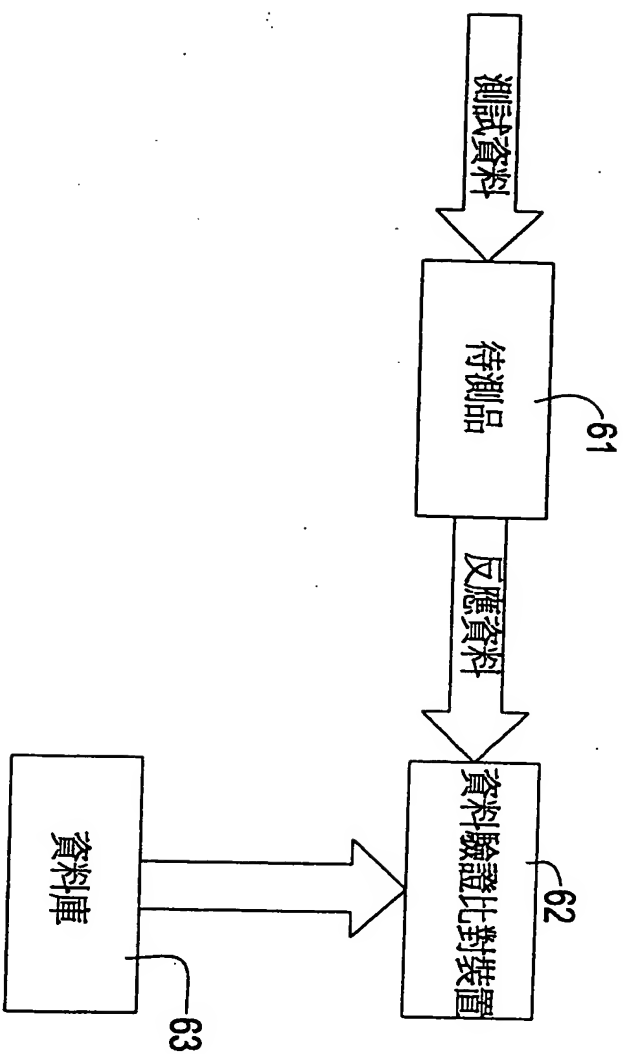
第二圖



第三圖



第四圖



第五圖